UNIVERSIDADE FEDERAL DO ESPÍRITO SANTO
CENTRO UNIVERSITÁRIO NORTE DO ESPÍRITO SANTO
DEPARTAMENTO DE COMPUTAÇÃO E ELETRÔNICA

# Plano de Ensino

**Universidade Federal do Espírito Santo** **Campus de São Mateus**

**Curso:** Engenharia da Computação - São Mateus

**Departamento Responsável:** Departamento de Computação e Eletrônica

**Data de Aprovação (Art. nº 91):** 25/02/2026

DOCENTE PRINCIPAL : ANIBAL COTRINA ATENCIO Matrícula: 2307743

**Qualificação / link para o Currículo Lattes:** Dr. / lattes.cnpq.br/8677243292341815

**Disciplina:** SISTEMAS DIGITAIS **Código:** DCE08399

**Período:** 2026 / 1 **Turma:** 33.1

Pré-requisito: **Carga Horária Semestral:** 60

Disciplina: DCE08142 - ELETRÔNICA DIGITAL

**Créditos:** 3

| Distribuição da Carga Horária Semestral | | | |
|---|---|---|---|
| **Teórica** | **Exercício** | **Laboratório** | **Extensão** |
| 45 | 0 | 15 | |

**Ementa:**

Controladores, microprogramação. Metodologias de Desenvolvimento. Linguagem de descrição de hardware. Unidades aritméticas e lógicas. Aplicações. Arquitetura de computadores.

**Objetivos Específicos:**

null

**Conteúdo Programático:**

1. Introdução aos sistemas digitais
2. Projeto lógico combinacional: Chaves, transistor CMOS e Portas lógicas boolenas; Processo de projeto lógico combinacional; Métodos de otimização de lógica de dois níveis; Automatização da otimização em lógica de dois níveis; Otimização em lógica de múltiplos níveis.
3. Projeto lógico sequencial: Flip-flops; FSM; Projeto de bloco de controle; Redução de estados; Codificação de estados; FSM Moore e FSM Mealy.
4. Componentes de blocos operacionais: Registradores; Deslocadores e Comparadores; Contadores; unidade aritmética lógica; Banco de registradores; Otimização em circuitos somadores e multiplicadores.
5. Projeto em nível RTL: Método de projeto RTL; Determinando a frequência de relógio; Descrição comportamental; componentes de memória; Filas; Hierarquia; Pipelining e concorrência; Alocação de componentes, mapeamento e escalonamento de operadores.
6. Introdução a processadores programáveis e microprogramação.
7. Projetos com FPGA e linguagens de descrição de hardware.

**Metodologia:**

As aulas teóricas serão expositivas utilizando recursos como slides, videoclipes e outros materiais audiovisuais. A participação dos estudantes no processo de aprendizado será realizado a traves de apresentação de seminários, resolução de listas de exercícios, realização de atividades de simulação. Para realizar as atividades de laboratório, serão disponibilizados roteiros, videoclipes e/ou slides previamente à realização das atividades. Será proposto o desenvolvimento de um projeto da disciplina.

**Critérios / Processo de avaliação da Aprendizagem :**

A média parcial (MP) será resultado do seguinte cálculo;

MP = 0,1 x C + 0,1 x S + 0,4 x P + 0,4 x T

C: Revisão de material bibliográfico antes da aula (metodologia inversa);
S: Apresentação de seminário (metodologia ativa)
T: Projeto da disciplina (metodologia ativa e aprendizado baseado em projeto)
P: Prova (metodologia convencional de avaliação de conhecimento)

Em caso do estudante realizar a prova final (PF), a média final (MF) será calculada como;



Documento assinado digitalmente conforme descrito no(s) Protocolo(s) de Assinatura constante(s) neste arquivo, de onde é possível verificar a autenticidade do mesmo.

MF = (MP + PF)/2

em outro caso, a Média Final será igual à média parcial (MF=MP)

**Bibliografia básica:**

Wakerly, J.F. Digital Design Principles and Practices. 3rd Edition, Prentice Hall. 2000.
Mano, M.M.; C.H. Klime: Logic and Computer Design Fundamentals. 2nd ed. Prentice Hall. 2000.
Ercegovac, Milos; Lang, Tomás; Moreno, Jaime H. Introdução aos Sistemas Digitais, Ed. Bookman, 2000.
Tocci, Ronaldo J., Sistemas Digitais: Princípios e Aplicações. 8. ed. - São Paulo. Prentice Hall, 2003.

**Bibliografia complementar:**

null

**Cronograma:**

**Observação:**

Adicionalmente, será utilizado o livro "Vahid, 2008; Vahid F, Sistemas digitais: projeto otimização e HDLs, Bookman, 2008" disponível na biblioteca da universidade.

Cronograma (em semanas):

- Semanas 1 e 2: Introdução aos sistemas digitais
- Semanas 3 e 4: Projeto lógico combinacional: Chaves, transistor CMOS e Portas lógicas boolenas; Processo de projeto lógico combinacional; Métodos de otimização de lógica de dois níveis; Automatização da otimização em lógica de dois níveis; Otimização em lógica de múltiplos níveis.
- Semanas 5 e 6: Projeto lógico sequencial: Flip-flops; FSM; Projeto de bloco de controle; Redução de estados; Codificação de estados; FSM Moore e FSM Mealy.
- Semanas 7 e 8: Componentes de blocos operacionais: Registradores; Deslocadores e Comparadores; Contadores; unidade aritmética lógica; Banco de registradores; Otimização em circuitos somadores e multiplicadores.
- Semanas 9 e 10: Projeto em nível RTL: Método de projeto RTL; Determinando a frequência de relógio; Descrição comportamental; componentes de memória; Filas; Hierarquia; Pipelining e concorrência; Alocação de componentes, mapeamento e escalonamento de operadores.
- Semanas 11 e 12: Introdução a processadores programáveis e microprogramação.
- Semanas 13 e 14: Projetos com FPGA e linguagens de descrição de hardware.



Documento assinado digitalmente conforme descrito no(s) Protocolo(s) de Assinatura constante(s) neste arquivo, de onde é possível verificar a autenticidade do mesmo.

UNIVERSIDADE FEDERAL DO ESPÍRITO SANTO

**PROTOCOLO DE ASSINATURA**

O documento acima foi assinado digitalmente com senha eletrônica através do Protocolo Web, conforme Portaria UFES nº 1.269 de 30/08/2018, por
ANIBAL COTRINA ATENCIO - SIAPE 2307743
Departamento de Computação e Eletrônica - DCE/CEUNES
Em 23/02/2026 às 18:12

Para verificar as assinaturas e visualizar o documento original acesse o link: https://api-lepisma.prod.uks.ufes.br/arquivos-assinados/1286263?tipoArquivo=O

Documento assinado digitalmente conforme descrito no(s) Protocolo(s) de Assinatura constante(s) neste arquivo, de onde é possível verificar a autenticidade do mesmo.